

## 型ノイズシェーパ Rev0.0

## 【概要】

Standard D/Aコンバータフォーマットの入力オーディオ信号に 型のノイズシェーピング処理を行い、PWM信号で出力する回路のFPGA ROMデータです。

DesignWaveマガジン2007年7月号付属基板（ザイリンクス社製 XC3S250E搭載ボード）および同等品専用です。

## 【仕様】

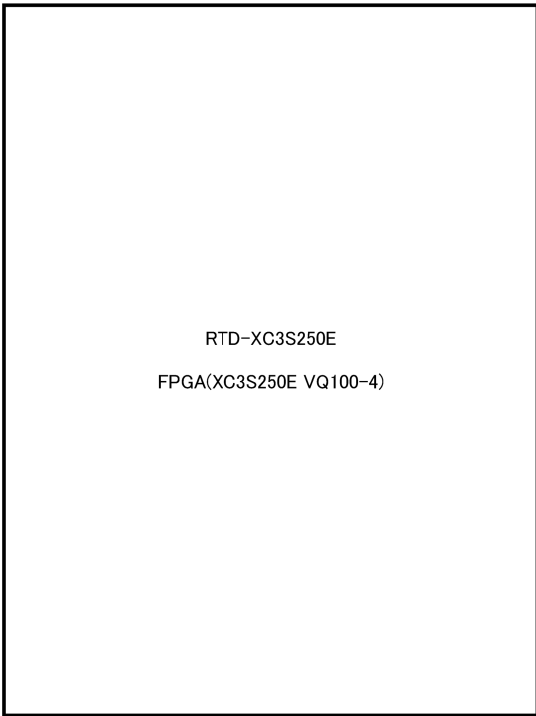
- ・入力：マスタークロック256fs、LRクロック、ビットクロックK、シリアルオーディオデータ
- ・出力：PWM出力(差動)
- ・ディザなし     パターンノイズが発生する可能性があります。

【Pin Assign】			SignalName	I/O	Discription
B[1]	CN2_A14	35	MCLK	I	マスタークロック(256fs)
B[2]	CN2_A15	40	S_DATA	I	オーディオシリアルデータ
B[3]	CN2_A16	47	BITCK	I	ビットクロック
B[4]	CN2_A17	49	LRCK	I	LRクロック
C[0]	CN3_A04	62	L_N	O	Lch逆相出力
C[2]	CN3_A05	65	L_P	O	Lch正相出力
C[3]	CN3_A07	67	GND1	O	GND
C[7]	CN3_A12	85	R_N	O	Rch逆相出力
C[8]	CN3_A14	90	GND0	O	GND
C[9]	CN3_A15	92	R_P	O	Rch正相出力

【信号配置図】

FPGA Board Device Pin Signal Name

P2	CN2_A01	2	A[0]	1
	CN2_A02	4	A[1]	2
	CN2_A03	9	A[2]	3
	CN2_A04	11	A[3]	4
	CN2_A05	13	A[4]	5
	CN2_A06	3.3V	A[5]	6
	CN2_A07	16	A[6]	7
	CN2_A08	18	A[7]	8
	CN2_A09	23	A[8]	9
	CN2_A10	26	A[9]	10
	CN2_A11	GND	A[A]	11
	CN2_A12	30	A[B]	12
	CN2_A13	33	A[C]	13
P3		NC	A[D]	14
	CN2_A06	3.3V	B[0]	1
	CN2_A14	35	MCLK	2
	CN2_A15	40	S DATA	3
	CN2_A16	47	BITCK	4
	CN2_A17	49	LRCK	5
	CN2_A11	GND	B[5]	6



TP1	38	CN2_B17
SW2	48	CN2_B16
SW3	41	CN2_B15
SW4	36	CN2_B14
SW5	34	CN2_B13
SW6	32	CN2_B12
TP2		GND CN2_B11
SW7	27	CN2_B10
SW8	24	CN2_B09
SW9	22	CN2_B08
SW10	17	CN2_B07
TP3	3.3V	CN2_B06
SW11	15	CN2_B05
TP4	12	CN2_B04
AUX[0]	10	CN2_B03
AUX[1]	5	CN2_B02
AUX[2]	3	CN2_B01

SW & Check Port

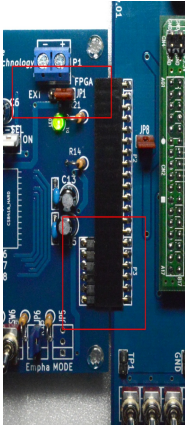
Signal Name Device Pin FPGA Board

1	R[9]		NC	P5
2	R[8]	68	CN3_B07	
3	R[7]	70	CN3_B08	
4	R[6]	78	CN3_B09	
5	R[5]	84	CN3_B10	
6	R[4]	86	CN3_B12	
7	R[3]	91	CN3_B14	
8	R[2]	94	CN3_B15	
9	R[1]	95	CN3_A16	
10	R[0]	GND	CN3_A11	
1	R P	92	CN3_A15	P7
2	GND0	90	CN3_A14	
3	R N	85	CN3_A12	
4	C[6]	3.3V	CN3_A06	
5	C[5]	79	CN3_A10	
6	C[4]	71	CN3_A09	
7	GND1	67	CN3_A07	
8	L P	65	CN3_A05	
9	C[1]	GND	CN3_A11	
10	L N	62	CN3_A04	
1	L[9]		NC	P6
2	L[8]	60	CN3_A03	
3	L[7]	57	CN3_A02	
4	L[6]	53	CN3_A01	
5	L[5]	54	CN3_B01	
6	L[4]	58	CN3_B02	
7	L[3]	61	CN3_B03	
8	L[2]	63	CN3_B04	
9	L[1]	66	CN3_B05	
10	L[0]	GND	CN3_A11	

## 【接続説明】

入力：RTD-XC3S250E\_MP01のコネクターP3から供給

RTD-CS8416\_MP01を使用する場合は、RTD-CS8416\_MP01のP3とFPGAベースボードのP3を下図のように下側を一致させてご使用ください。



出力：RTD-XC3S250E\_MP01のコネクタP7の信号、L\_P/L\_N (Lch) R\_P/R\_N (Rch) をそれぞれ差動のフィルタで受けてください。

【ご確認事項】

本データは、FPGAの実験用データです。ホビー、実験目的以外でのご使用は控えてください。  
本データを使用して生じた結果につきましては、当社は責任を負いかねます事をご了承下さい。  
本データの仕様につきましては、将来予告なしに変更する場合があります。  
リバーエンジニアリングはお控えください。  
サポート・保証の対象ではありません。  
ソースコードは非公開です。  
本ROMデータに関する権利は当社に帰属しています。